

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-228611
 (43)Date of publication of application : 15.08.2000

(51)Int.Cl. H03D 7/14

(21)Application number : 11-029559

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.02.1999

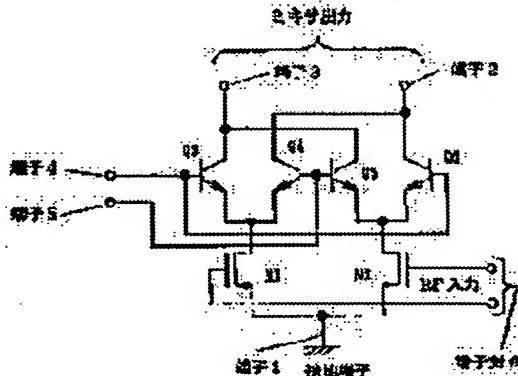
(72)Inventor : TAKANO RYOICHI
 TANAKA SATOSHI

(54) INTEGRATED MIXER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the linearity of a source grounded frequency mixer circuit (mixer circuit) integrated on one and the same semiconductor substrate.

SOLUTION: In the source grounded type mixer circuit integrated on one and the same semiconductor substrate, its RF signal input stage consists of MOS transistors(TRs) M1, M2, its switching circuit section that receives a local oscillation signal to convert frequency consists of bipolar TRs Q3–Q6. The integrated mixer circuit of this type can be manufactured by employing the BiCMOS manufacturing technology. Through the above configuration, the linearity of the integrated mixer circuit can effectively be improved.



LEGAL STATUS

[Date of request for examination] 04.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-228611

(P2000-228611A)

(43)公開日 平成12年8月15日 (2000.8.15)

(51)Int.Cl.⁷

H 03 D 7/14

識別記号

F I

マークコード(参考)

H 03 D 7/14

A

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号 特願平11-29559

(22)出願日 平成11年2月8日 (1999.2.8)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高野 亮一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(72)発明者 田中 聰

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100061893

弁理士 高橋 明夫 (外1名)

(54)【発明の名称】集積化ミキサ回路

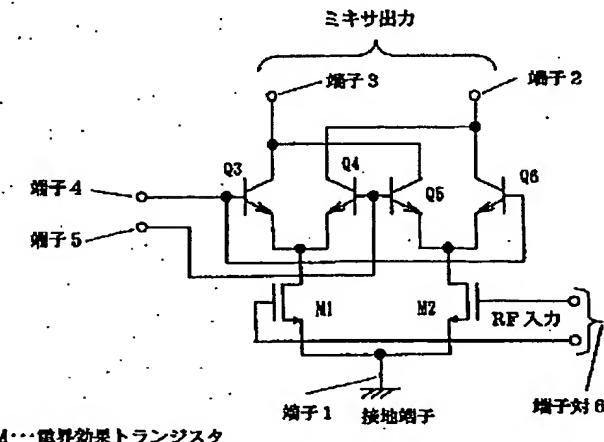
(57)【要約】

【課題】同一半導体基板上に集積化形成されるソース接地型周波数混合回路(ミキサ回路)における線形性を改善すること。

【解決手段】同一半導体基板上に集積化形成されるソース接地型ミキサ回路において、そのRF信号入力段はMOSトランジスタM1, M2を用いて構成し、局発信号を受けて周波数変換を行なうスイッチング回路部分はバイポーラトランジスタQ3～Q6を用いて構成する。このような集積化ミキサ回路は、BiCMOS製造技術を用いることにより作製され得る。

【効果】集積化ミキサ回路の線形性を効果的に改善できる。

図1



【特許請求の範囲】

【請求項1】第1及び第2のRF入力信号の周波数の差あるいは和の周波数成分を持つ出力信号を得るためのミキサ回路（周波数混合回路）であって、上記ミキサ回路は同一半導体基板上に集積化形成されており、上記ミキサ回路の上記第1及び第2のRF入力信号の入力回路部分を構成する電界効果トランジスタのソースが接地端子に接続され、上記電界効果トランジスタのゲートから上記RF入力信号が入力され、上記ミキサ回路の局発信号を受けてスイッチング動作を行うスイッチング回路部分を構成する第1および第2のバイポーラトランジスタのエミッタが上記電界効果トランジスタのドレインに接続され、上記第1、第2のバイポーラトランジスタのコレクタが第1、第2のミキサ出力端子にそれぞれ接続され、上記第1、第2のバイポーラトランジスタのベース間に上記局発信号が入力されるように構成されてなることを特徴とする集積化ミキサ回路。

【請求項2】第1及び第2のRF入力信号の周波数の差あるいは和の周波数成分を持つ出力信号を得るためのミキサ回路（周波数混合回路）であって、上記ミキサ回路は同一半導体基板上に集積化形成されており、上記ミキサ回路の上記第1及び第2のRF入力信号の入力回路部分を構成する第1および第2の電界効果トランジスタのソースが接地端子にそれぞれ接続され、上記第1および第2の電界効果トランジスタのゲート間に上記第1及び第2のRF入力信号が差動的に入力され、上記ミキサ回路の局発信号を受けてスイッチング動作を行う回路部分の第1の差動対を構成する第1および第2のバイポーラトランジスタのエミッタが上記第1の電界効果トランジスタのドレインに接続され、上記ミキサ回路の局発信号を受けてスイッチング動作を行う回路部分の第2の差動対を構成する第3および第4のバイポーラトランジスタのエミッタが上記第2の電界効果トランジスタのドレインに接続され、上記第1、第3のバイポーラトランジスタのコレクタが第1のミキサ出力端子に接続され、上記第2、第4のバイポーラトランジスタのコレクタが第2のミキサ出力端子に接続され、上記第1、第4のバイポーラトランジスタのベースと上記第2、第3のバイポーラトランジスタのベース間に上記局発信号が入力されるように構成されてなることを特徴とする集積化ミキサ回路。

【請求項3】請求項1又は請求項2に記載の集積化ミキサ回路を組み込んでなることを特徴とする半導体集積回路装置。

【請求項4】請求項3に記載の半導体集積回路装置を搭載してなることを特徴とする移動体通信用の携帯端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一半導体基板上

に集積化形成されたソース接地型周波数混合回路（ミキサ回路）における線形性を改善する方法及びそのための回路構成に係り、特にバイポーラトランジスタとCMOSトランジスタ（相補的な電界効果トランジスタ）とを組み合わせて用いたBiCMOSハイブリッドミキサ回路における線形性を改善する方法及びそのための回路構成に関する。

【0002】

【従来の技術】移動体通信の飛躍的な普及に伴い、携帯端末等に使用する高周波回路の集積化の検討が活発になされている。この集積化に際して適用されるデバイスとしてはSiバイポーラトランジスタ、CMOSトランジスタ等、多岐にわたっている。

【0003】CMOSデバイスを適用したミキサ回路の代表的な例として、ロフォガラン等によりアイ、イー、イー、ジャーナル、オブ、ソリッド、ステート、サーチット、第31巻、第7号(1996年7月)の第880～889頁に記載されたダイレクトコンバージョン無線受信機用の1GHz動作CMOS・RF回路[A.Rofougaran; et al. "A 1GHz CMOS RF Front-End IC for a Direct-ConversionWire-less Receiver" IEEE Journal of Solid-State Circuits, Vol.31, No.7, (July 1996), pp.880-889]を挙げることができる。

【0004】図2に、上記文献に示されたCMOS・RF回路の回路構成を示す。本従来例では、それまでのバイポーラデバイスを用いたミキサ回路では全回路を差動対を用いて構成していたのに対し、RF（高周波）信号入力側回路部分をソース端子1を接地した1組の電界効果トランジスタ対M1、M2で構成し、この電界効果トランジスタ対M1、M2のゲートに端子対6からのRF信号を入力するものである。トランジスタM1、M2のソース端子が直接接地されているため、従来の差動対を用いる場合とは異なり、回路を流れる電流が電流源あるいは抵抗で制限されない。このため大振幅の信号が入力されると、それに追随して大電流を流すことが可能になり、線形性の高い回路が実現できる。

【0005】なお、図2の回路では、入力端子4、5からの局発信号を受けてスイッチング動作を行う回路部分も全てMOS電界効果トランジスタM3、M4、M5、M6を用いて構成されており、ミキサ出力は出力端子2、3から出力される。

【0006】

【発明が解決しようとする課題】前述したように、RF信号入力側にソース接地回路を活用することで線形性の高いミキサ回路を実現できる。ところで、局発信号バッファ增幅回路からの出力信号によるミキサ回路のスイッチング動作を確実に行うためには、このスイッチング動作を担うトランジスタには、高い電流駆動能力が要求される。しかるに、MOSトランジスタは、その入力電圧と出力電流の関係が二乗特性を有しているため、指數特

性を持っているバイポーラトランジスタと比較して、電流駆動能力が劣る。図2の従来回路では、上述したように、スイッチング動作を担うトランジスタにMOS電界効果トランジスタを使用しているため、上記した局発信号によるスイッチング動作が不完全となって、結局は線形性が劣化してしまっていることが、本発明者らの解析により明らかとなった。従って、上記のスイッチング動作を担うトランジスタのスイッチング特性を改善することが、ミキサ回路全体としての線形性を改善する上での課題である。しかし、従来は、この点について何ら認識がなされていなかった。

【0007】従って、本発明の目的は、集積化ミキサ回路におけるスイッチング動作を担うトランジスタのスイッチング特性を改善し、もってミキサ回路としての線形性を改善する方法及びそのための回路構成を提供することである。

【0008】本発明の他の目的は、特に、バイポーラトランジスタとCMOSトランジスタとを組み合わせて用いたBiCMOSハイブリッドミキサ回路における線形性を改善する方法及びそのための回路構成を提供することである。

【0009】

【課題を解決するための手段】上記した本発明の目的は、同一半導体基板上にバイポーラトランジスタと相補型金属酸化膜電界効果トランジスタを集積化形成することの可能なBiCMOS技術を用いることによって、ミキサ回路のRF信号入力回路部分はMOSトランジスタのソース接地対を用いて構成し、スイッチング回路部分はバイポーラトランジスタを用いて構成することにより達成される。

【0010】上記した本発明の特徴的構成を探ることによって、集積化ミキサ回路におけるスイッチング動作を担う回路部分のスイッチング特性を効果的に改善することができ、集積化ミキサ回路の線形性を大幅に改善する

$$I_d = \beta(V_{GS} - V_{th})^2$$

なる関係がある。ここで、 V_{th} はそのFETのしきい値電圧、 β はそのFETの電流駆動能力を示す係数であり通常はゲート幅に比例する。これに対して、バイポーラ

$$I_c = I_s \exp(qV_{BE}/kT)$$

なる関係がある。ここで、 I_s は逆方向リーク電流、 q は電子の電荷、 k はボルツマン定数、 T は絶対温度を示す。

【0016】前出の数1、2より明らかなように、FETは2乗の電圧-電流特性を持ち、バイポーラトランジスタは指数関数の電圧-電流特性を持つ。これがため、バイポーラトランジスタでは、ベース、エミッタ間電圧の微少な変化によりコレクタ電流を大きく変化させることができる。この特性差が、バイポーラトランジスタを用いた差動対のスイッチング特性の優位性をもたらしているのである。FETを用いた場合のスイッチング特性

ことができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態につき、実施例を挙げ、図面を参照して詳細に説明する。

【0012】〈実施例1〉図1に、本発明の第1の実施例になる集積化ミキサ回路の回路構成を示す。本実施例においては、RF信号の入力を担う回路部分にはFET(電界効果トランジスタ)M1、M2のソース接地対を用い、局発信号が入力されてスイッチング動作を行う回路部分には2組のバイポーラトランジスタQ3、Q4およびQ5、Q6よりなるスイッチングトランジスタ差動対を用いている。

【0013】FET(電界効果トランジスタ)M1、M2のソース端子1は直接接地端子に接続されており、入力端子対6からのRF入力信号はFET(電界効果トランジスタ)M1、M2のゲートへと入力される。バイポーラトランジスタQ3、Q4およびQ5、Q6からなるスイッチングトランジスタ差動対のスイッチング動作を行わせるための局発信号は、入力端子4/5から、それぞれバイポーラトランジスタQ3、Q6/Q4、Q5のベースへと入力される。また、両スイッチングトランジスタ差動対からのミキサ出力は出力端子2、3より出力される。

【0014】図3には、上記したスイッチングトランジスタ差動対に、図2に示したようにFETを用いた場合(従来例)と、図1に示したようにバイポーラトランジスタを用いた場合(本発明)における、それぞれの差動対の入力電圧(差動電圧)-出力電流特性を示す。図3から明らかのように、本発明によるバイポーラトランジスタによる差動対の方が、従来のFETによる差動対に比べてより小さな入力電圧信号でもってスイッチング動作を始めることができることが判る。

【0015】FETでは、ゲート、ソース間電圧 V_{GS} とドレイン電流 I_d との間に、

· · · · (数1)

トランジスタでは、ベース、エミッタ間電圧 V_{BE} とコレクタ電圧 I_c との間に、

· · · · (数2)

は、数1における係数 β がゲート幅に比例することから、このゲート幅を増加することにより改善できる可能性はあるが、このゲート幅の増加はまた寄生容量の増大を意味し、高周波動作を要するデバイスにおいてはそれにも限界がある。

【0017】以上説明したところから明らかなように、集積化ミキサ回路のスイッチング用差動対にバイポーラトランジスタを用いることにより、そのスイッチング特性を改善できる。その結果、ミキサ回路としての線形性の改善が可能となる。図1においては、ミキサ回路単独での回路構成について示したが、図4に示すように、同

一半導体基板上に局発信号のバッファ増幅器をも併設し、該増幅器で局発信号を増幅してから実施例1(図1)に示したミキサ回路に供給するように構成することも可能である。

【0018】図4においては、局発信号増幅用のバッファ増幅器は、電界効果トランジスタM7, M8, M9, M10及びM11, M12、抵抗R3, R4, R5, R6、および、バイアス回路等から構成されている。なお、図4におけるミキサ回路のRF信号入力端子には抵抗R1, R2を介してバイアス回路が接続されている。なお、図4では、局発信号のバッファ増幅器をFETで構成しているが、これをバイポーラトランジスタで構成することも可能であることは云うまでもない。

【0019】図4に示した回路構成において、0.35 μ mルールのBiCMOSデバイスを用い、900MHz帯の受信信号を入力した場合のシミュレーションを行った結果次のような結果が得られた。比較は、本発明に従ってスイッチング用差動対にバイポーラトランジスタを用いた図4の回路と従来のスイッチング用差動対にMOSFETを用いた図2の回路との間で行った。その結果、本発明による図4の回路構成では、変換利得が10.7dB、ICPが-6.5dBと云う良好な値が得られたが、従来の図2の回路構成では、変換利得が8.6dB、ICPが-8.5dBと云う低い値であった。このように、本発明に従い、スイッチングトランジスタ差動対にバイポーラトランジスタ対を用いたソース接地型のミキサ回路構成とすることによって、ICPを2dBも改善できることが確認された。なお、ここに云うICPとは「-1dBコンプレッションポイント」と呼ばれる評価尺度で、図5に示すような入出力特性曲線上において、大信号入力時に得られる特性曲線が、小信号入力時に得られる特性曲線の延長上にある理想特性から1dB利得低下する点における入力信号電力でもって定義され、この値が大きいほど線形性が高いことを示す。のことより、本発明により線形性が大幅に改善されることが確認された。

【0020】〈実施例2〉図6に、本発明の第2の実施例になる集積化ミキサ回路の回路構成を示す。先の実施例1では、差動のRF信号入力端子対を持っていて、2組の差動対によりスイッチング動作を行ういわゆるダブルバランス形のミキサ回路に対して本発明を適用した例を示した。これに対し、本実施例2では、図6に示すように、单一のRF信号入力端子を持ち、1組の差動対にてスイッチング動作を行うシングルバランス形のミキサ回路に対し本発明を適用した例を示す。シングルバランス形ミキサ回路の場合でも、RF信号入力段の電圧-電流変換部にFETを使用し、周波数変換のためのスイッチング動作を行う差動対にはバイポーラトランジスタを適用することにより低歪み特性を実現し、線形性を改善することができる。

【0021】図6において、单一の入力端子6からのRF入力信号は、ソース端子1を接地した单一の電界効果トランジスタM1からなるRF信号入力段のゲートへと入力され、スイッチング回路は、1組のバイポーラトランジスタQ3, Q4からなるスイッチング用差動対で構成され、入力端子4, 5からのスイッチング用の局発信号がバイポーラトランジスタQ3, Q4のベースへと入力され、出力端子2, 3からミキサ出力が得られる。かかる回路構成からなるミキサ回路は、シングルバランス形ミキサ回路と呼ばれる。

【0022】図6に示したシングルバランス形ミキサ回路の場合も、RF信号入力段の電圧-電流変換部にFET(電界効果トランジスタ)を使用し、周波数変換のためのスイッチング動作を行う差動対にバイポーラトランジスタを用いることにより、ミキサ回路としての線形性を高めることができることが確認された。

【0023】

【発明の効果】以上詳説したところから明らかなように、本発明に従って、集積化ミキサ回路のRF信号入力段をFET(電界効果トランジスタ)で構成し、一方、スイッチング用の差動対はバイポーラトランジスタを用いて構成することにより、ミキサ回路の線形性を大幅に高めることができる。

【図面の簡単な説明】

【図1】本発明の一実施例になるソース接地型ミキサ回路の回路構成を示す図。

【図2】従来のMOSトランジスタで構成されたソース接地型ミキサ回路の回路構成を示す図。

【図3】図1に示した本発明による回路構成と図2に示した従来の回路構成とにおいて得られる入力電圧(差動電圧)-出力電流特性を比較して示す線図。

【図4】図1に示した本発明による回路構成に従い、さらに、同一半導体基板上に局発信号バッファ増幅器をも併せ設けてなるミキサ回路の詳細回路構成を示す図。

【図5】ICP(-1dBコンプレッションポイント)の定義を説明するための線図。

【図6】本発明の他の一実施例になるソース接地型ミキサ回路の回路構成を示す図。

【符号の説明】

M1, M2 …… RF信号入力用のNMOSトランジスタ、

Q3～Q6 …… スイッチング用のn-p-nバイポーラトランジスタ、

M3～M6 …… スイッチング用のNMOSトランジスタ、

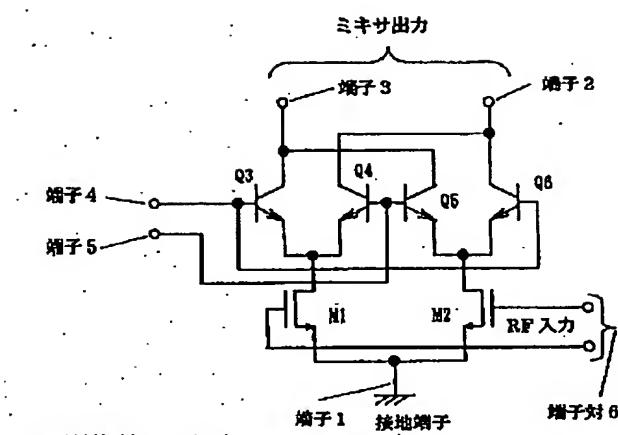
M7～M12 …… バッファ増幅器用のNMOSトランジスタ、

R1, R2 …… バイアス用抵抗、

R3～R6 …… 負荷抵抗。

【図1】

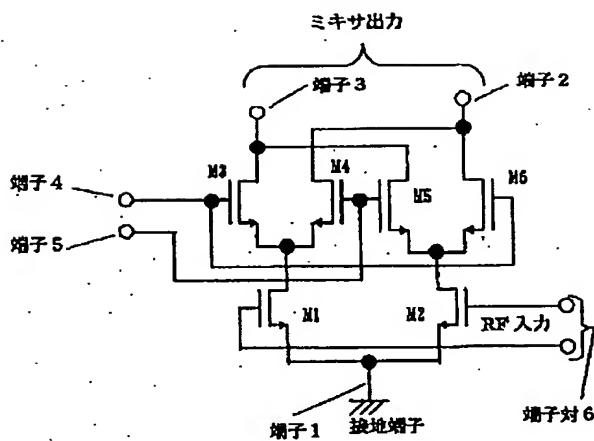
四一



M…電界効果トランジスタ
Q…バイポーラトランジスタ

【図2】

圖 2



M…電界効果トランジスタ

〔図3〕

〔図4〕

四

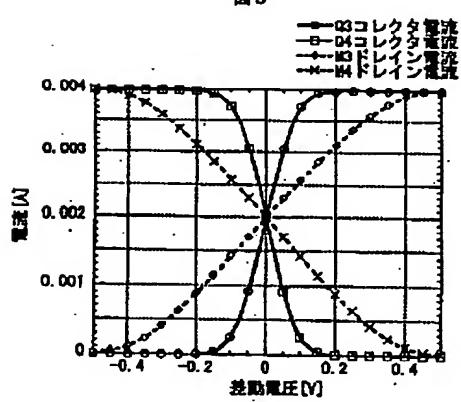


図4

The diagram shows a circuit configuration with the following components and connections:

- Power Supply:** A single power supply terminal labeled "電源 Vdd" at the top right.
- Input Stage:** Two NMOS transistors, M7 and M8, connected in series between the power supply and ground.
- Current Mirror:** A PMOS transistor M9 and an NMOS transistor M10 connected in a current mirror configuration, with their drains tied together.
- Load:** The drain of M10 is connected to the drains of two NMOS transistors, M11 and M12, which are connected in series between the power supply and ground.
- Bypass Circuit:** A box labeled "バイアス回路" (Bias Circuit) contains a resistor R3 connected between the power supply and the gate of M8. The drain of M8 is connected to the source of M11. A resistor R4 is connected between the drain of M8 and the drain of M9. Resistors R5 and R6 are connected between the drain of M9 and the power supply.
- Output:** The drain of M12 is connected to the output terminal, labeled "バッファ用接地端子" (Ground terminal for buffer use).

局発信号パッファ増幅部

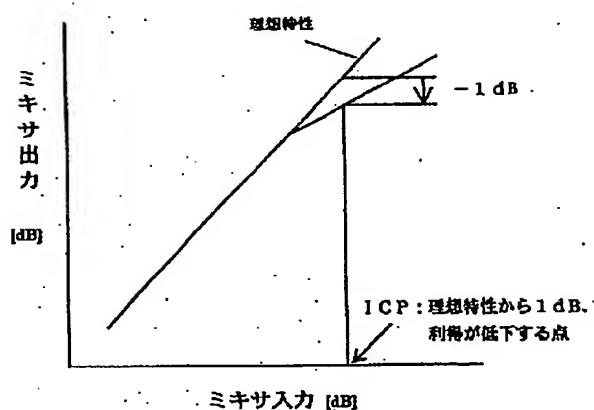
M…電界効果トランジスタ
Q…バイポーラトランジスタ
R…抵抗

バイアス回路

ミキサ
接地端子

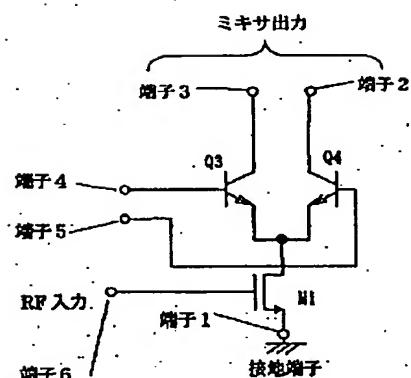
【図5】

図5



【図6】

図6



M…電界効果トランジスタ
Q…バイポーラトランジスタ